

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

501P05564500
#4
av
8-701
JCS03 U.S. PTO
09/827841
04/05/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2000年 4月 7日

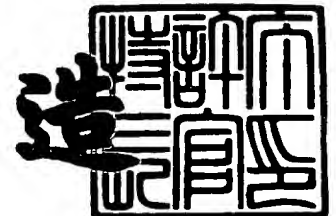
出 願 番 号
Application Number: 特願2000-107065

出 願 人
Applicant(s): ソニー株式会社

2001年 2月23日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2001-3011837



【書類名】 特許願

【整理番号】 0000287202

【提出日】 平成12年 4月 7日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 13/00

【発明者】

 【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
 内

 【氏名】 大川 純弘

【発明者】

 【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
 内

 【氏名】 三浦 清志

【特許出願人】

 【識別番号】 000002185

 【氏名又は名称】 ソニー株式会社

 【代表者】 出井 伸之

【代理人】

 【識別番号】 100090376

 【弁理士】

 【氏名又は名称】 山口 邦夫

 【電話番号】 03-3291-6251

【選任した代理人】

 【識別番号】 100095496

 【弁理士】

 【氏名又は名称】 佐々木 榮二

 【電話番号】 03-3291-6251

【手数料の表示】

 【予納台帳番号】 007548

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9709004

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電子機器およびデジタルシリアルデータのインタフェース装置のバス初期化フェーズにおける処理方法

【特許請求の範囲】

【請求項 1】 IEEE 1394 規格に準拠した物理層を構成するデジタルシリアルデータのインタフェース装置と、このインタフェース装置に対して上位に位置する処理手段とを備える電子機器であって、

上記インタフェース装置は、

全ての接続相手先にアービトレーション信号を送信する手段と、上記全ての接続相手先からのアービトレーション信号を受信する手段とを有し、

バス初期化フェーズにおいて、リセットスタートの状態で所定時間の間上記全ての接続相手先にバスリセット信号を送信し、上記所定時間が経過しかつ上記全ての接続相手先からのバスリセット信号の受信を確認してからリセットウェイトの状態に移移する

ことを特徴とする電子機器。

【請求項 2】 上記インタフェース装置は、

上記接続相手先に送信するアービトレーション信号と上記接続相手先から受信するアービトレーション信号とから受信アービトレーション状態をデコードするデコード手段をさらに有し、

上記デコード手段は、上記接続相手先から上記アービトレーション信号としてバスリセット信号を受信するとき、上記接続相手先に送信するアービトレーション信号に依らずに、受信アービトレーション状態をバスリセットとデコードすることを特徴とする請求項 1 に記載の電子機器。

【請求項 3】 上記インタフェース装置は、上記接続相手先と全二重通信を行う

ことを特徴とする請求項 1 に記載の電子機器。

【請求項 4】 IEEE 1394 規格に準拠した物理層を構成するデジタルシリアルデータのインタフェース装置のバス初期化フェーズにおける処理方法において、

リセットスタートの状態です定時間の間全ての接続相手先にバスリセット信号を送信し、上記所定時間が経過しかつ上記全ての接続相手先からのバスリセット信号の受信を確認してからリセットウェイトの状態に移す

ことを特徴とするデジタルシリアルデータのインタフェース装置のバス初期化フェーズにおける処理方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、IEEE 1394規格に準拠した物理層を構成するデジタルシリアルデータのインタフェース装置を備える電子機器およびそのインタフェース装置のバス初期化フェーズにおける処理方法に関する。詳しくは、バス初期化フェーズにおいて、リセットスタートの状態です定時間の間全ての接続相手先にバスリセット信号を送信し、所定時間が経過しかつ全ての接続相手先からのバスリセット信号の受信を確認してからリセットウェイトの状態に移す構成とすることによって、接続相手先との間のケーブルが長い場合であってもショートバスリセットを正常に動作させることが可能となる電子機器等に係るものである。

【0002】

【従来の技術】

マルチメディア・データ伝送のためのインタフェースを目的として高速データ伝送、リアルタイム転送をサポートしたインタフェース規格として、IEEE 1394ハイ・パフォーマンス・シリアル・バス規格（IEEE 1394規格）が知られている。

【0003】

このIEEE 1394規格では、100Mbps（98.304Mbps）、200Mbps（196.608Mbps）、400Mbps（393.216Mbps）でのデータ転送速度が規定されており、上位転送速度を持つ1394ポートは、その下位スピードとの互換性を保持するように規定されている。これにより、100Mbps、200Mbps、400Mbpsのデータ転送速度が同一ネットワーク上で接続可能になっている。

【 0 0 0 4 】

また、IEEE 1394 規格では、図 10 に示すように、転送データがデータとその信号を補うストロブの 2 信号に変換されており、この 2 信号の排他的論理和をとることによりクロックを生成することができるようにした DS-Link (Data/Strobe Link) 符号化方式の転送フォーマットが採用されている。また、IEEE 1394 規格では、図 11 の断面図にケーブル構造を示してあるように、第 1 のシールド層 201 でシールドされた 2 組のツイストペア線（信号線）202 と電源線 203 を束ねたケーブル全体をさらに第 2 のシールド層 204 でシールドした構造のケーブル 200 が規定されている。

【 0 0 0 5 】

この IEEE 1394 規格では、データ転送に先立ってバス獲得のためのアービトレーションを行うが、そのための制御信号としてアービトレーション信号が規定されている。また、IEEE 1394 規格では、バス上にノードが追加または削除された時点で、自動的にバス全体のトポロジーの再構成を行うようになっている。このようなトポロジーの再構成の過程に必要な制御信号としてもアービトレーション信号が規定されている。

【 0 0 0 6 】

このアービトレーション信号の論理値は、“1”、“0”、“Z”の 3 値であって、表 1 および表 2 に示す規則に従って生成され、表 3 に示す規則によってデコードされる。

【 0 0 0 7 】

【表1】

Transmit arbitration signal A (Arb_A_Tx)	Drivers		Comment
	Strb_Tx	Strb_Enable	
Z	-	0	TPA driver is disabled
0	0	1	TPA driver is enabled, strobe is low
1	1	1	TPA driver is enabled, strobe is high

【0008】

【表2】

Transmit arbitration signal B (Arb_B_Tx)	Drivers		Comment
	Data_Tx	Data_Enable	
Z	-	0	TPB driver is disabled
0	0	1	TPB driver is enabled, data is low
1	1	1	TPB driver is enabled, data is high

【0009】

【表3】

Received arbitration comparator value (Arb_n ^a Rx)	Transmitted arbitration signal for this port (Arb_n ^a Tx)	Interpreted arbitration signal (Arb_n ^a)	Comment
Z	Z	Z	If this port is transmitting a Z, then the received signal will be the same as transmitted by the port on the other end of the cable.
0	Z	0	
1	Z	1	
Z	0	1	If the comparator is receiving a Z while this port is sending a 0, then the other port must be sending a 1. This is the first half of the 1's dominance rule.
0	0	0	The other port is sending a 0 or a Z.
Z	1	1	The other port must be sending a 0. This is the other half of the 1's dominance rule.
1	1	1	The other port is sending a 1 or a Z.

a. "n" is "A" or "B". This table applies to both signal pairs.

【 0 0 1 0 】

また、表 4 に示す規則を用いて、2 つの送信アービトレーション信号 Arb_A_Tx , Arb_B_Tx によってライン状態をエンコードする。さらに、表 5 に示す規則を用いて、受信アービトレーション信号 Arb_A, Arb_B からライン状態をエンコードする。

【 0 0 1 1 】

【表 4】

arbitration transmit		Line state name	Comment
(Arb_A_Tx)	(Arb_B_Tx)		
Z	Z	IDLE	sent to indicate a gap
Z	0	TX_REQUEST	sent to parent to request the bus
		TX_GRANT	sent to child when bus is granted
0	Z	TX_PARENT_NOTIFY	sent to parent candidate during tree-ID
0	1	TX_DATA_PREFIX	sent before any packet data and between blocks of packet data in the case of concatenated subactions
1	Z	TX_CHILD_NOTIFY	sent to child to acknowledge the parent_notify
		TX_IDENT_DONE	sent to parent to indicate that self-ID is complete
1	0	TX_DATA_END	sent at the end of packet transmission
1	1	BUS_RESET	sent to force a bus reconfiguration

【0012】

【表5】

Interpreted arbitration signals		Line state name	Comment
Arb_A	Arb_B		
Z	Z	IDLE	the attached peer PHY is inactive
Z	0	RX_PARENT_NOTIFY	the attached peer PHY wants to be a child
		RX_REQUEST_CANCEL	attached peer PHY has abandoned a request (this PHY is sending a grant)
Z	1	RX_IDENT_DONE	the child PHY has completed its self-ID
0	Z	RX_SELF_ID_GRANT	the parent PHY is granting the bus for a self-ID
		RX_REQUEST	a child PHY is requesting the bus
0	0	RX_ROOT_CONTENTION	the attached peer PHY and this PHY both want to be a child
		RX_GRANT	the parent PHY is granting control of the bus
0	1	RX_PARENT_HANDSHAKE	attached peer PHY acknowledges parent_notify
		RX_DATA_END	the attached peer PHY has finished sending a block of data is about to release the bus
1	Z	RX_CHILD_HANDSHAKE	attached peer PHY acknowledges TX_CHILD_NOTIFY (the peer PHY is a child of this PHY)
1	0	RX_DATA_PREFIX	the attached peer PHY is about to send packet data or has finished sending a block of packet data and is about to send more
1	1	BUS_RESET	send to force a bus reconfiguration

【0013】

上述のアービトレーション信号を用いて、バス初期化フェーズ、ツリー識別フェーズ、自己識別フェーズの順で、トポロジーの自動構成が実行される。

【 0 0 1 4 】

バス初期化フェーズでは、バスリセット信号が全てのノードを特別な状態に変化させ、全てのトポロジー情報をクリアする。バスを初期化した後、各ノードが把握している情報は、自らがブランチであるか（隣接する複数のノードに直接接続されている）、リーフであるか（隣接するノードは1つだけである）、孤立しているか（接続されていない）ということだけである。図 1 2 A は、リーフ・ノードとブランチ・ノードによって構成されているネットワークを示している。

【 0 0 1 5 】

ツリー識別フェーズでは、ネットワーク・トポロジーの全体を一本のツリーに変換し、その中の一個のノードをルートとして指定する。各ノードにおいては、接続されている各ポートにラベルを割り当てて、「親」ポート（ルートに近いノードに接続されている）、または「子」ポート（ルートから遠いノードに接続されている）と呼ぶ。接続されていないポートには「off」というラベルを割り当て、その後の調停プロセスには参加しない。図 1 2 B は、ツリー識別のプロセスが完了した後のネットワークを示している。

【 0 0 1 6 】

自己識別フェーズでは、各ノードに固有のphysical_IDを選択する機会を与え、バスに付随している任意の管理要素に対して自らを識別させる。これは、低レベルの電力管理を実現するため、また各データ経路のスピード能力を決定するために必要とされるシステムのトポロジー・マップを作成するために必要である。

【 0 0 1 7 】

自己識別のプロセスは、決定論的な選択プロセスを採用している。すなわち、ルート・ノードが、最小番号を持つ接続ポートに関連するノードにメディアの制御を渡し、そのノードが、自分自身と自らの全ての子ノードが自己識別したことを知らせる「ident_done」信号を送信するまで待機する。その後、ルートは次の番号のポートに制御を渡し、そのノードの処理が終了するのを待つ。このように、ルートの全てのポートに関連するノードが処理を終了すると、ルート自身が自

己識別を行う。子ノードも、同じプロセスを再帰的に使う。サブアクション・ギャップ期間に亘ってバスがアイドル状態になると、自己識別のプロセスの完了が明らかになる。

【0018】

各ノードは、physical_IDや他の管理情報を含む非常に短いパケットを1個から4個ネットワーク全体に送信することにより、自己識別情報を送信することができる。physical_IDとは、ノードが自己識別パケットを送信する前に、他のノードの自己識別情報を受信した回数を単純に数えた値である。例えば、最初に自己識別パケットを送信するノードはphysical_IDとして0を、2番目のノードは1を選択する。以下同様にして各ノードのphysical_IDが決定される。図12Cは、自己識別のプロセスが完了した後のネットワークを示している。各「子」ポートに「ch-i」というラベルが割り当てられており、このポートに接続されているノードが識別されている。

【0019】

【発明が解決しようとする課題】

ところで、図13は、バス初期化フェーズの遷移図を示しており、R0 (Reset Start)、R1 (Reset Wait) の2状態から構成される。いま、図14のようにa、b、cというノードが接続され、a b間のケーブル長が100m、b c間のケーブル長が3mであるようなネットワークにおいてショートバスリセットの動作について考える。

【0020】

ここで、通常のバスリセットでは無条件にバスにバスリセット信号を出力し、そのバスリセット信号の出力状態を $166\mu s$ の間継続する。これに対して、ショートバスリセットでは、バスのアービトレーションを行ってバス使用权を獲得した後にバスリセット信号をバスに出力し、そのバスリセット信号の出力状態を $1.26\mu s \sim 1.40\mu s$ の間継続する。なお、このショートバスリセットは、“P1394a Draft 5.0 February 11,2000”で提案されている。

【0021】

このようにショートバスリセットではバス使用权を獲得してからバスリセット

信号をバスに出力するため、他の全てのノードは短い時間でバスリセットを認識でき、従ってバスリセット信号の出力状態の継続時間を上述したように短くてでき、バス初期化フェーズの処理を迅速に行うことが可能となる。

【 0 0 2 2 】

図 1 5 を参照して、図 1 4 のように a、b、c のノードからなるネットワークにおけるショートバスリセットの動作を説明する。なお、図 1 5 は、ノード a、b、c の動作を時間経過に従って簡略化して図示している。

【 0 0 2 3 】

ノード b においてショートバスリセットを生じるような事象が発生するとノード b は、図 1 3 の遷移図に従って R 0 の状態へ遷移し、バスリセット信号をノード a およびノード c に対して決められた時間（最小 $1.26 \mu s$ 、最大 $1.40 \mu s$ ）だけ送信する（図 1 5 の①および②参照）。ノード a およびノード c は、ノード b からのバスリセット信号を受信すると自らもバスリセット信号を送信するようになる（図 1 5 の③および④参照）。

【 0 0 2 4 】

その後、ノード b は R 1 の状態へ遷移してノード a およびノード c に IDLE 信号を送信しながら（図 1 5 の⑤および⑥参照）、ノード a およびノード c から IDLE 信号または PARENT_NOTIFY 信号を受信するまで待つ。このとき、ノード b は、決められた時間（最小 $1.40 \mu s$ 、最大 $1.56 \mu s$ ）経過してもノード a およびノード c から IDLE 信号または PARENT_NOTIFY 信号を受信できない場合、再度 R 0 の状態へ遷移することになる。

【 0 0 2 5 】

図 1 4 に示すネットワークでは、b c 間のケーブル長は 3 m であるため、ケーブルによる信号遅延は約 $15 ns$ と小さく、ノード c は決められた時間内にノード b に IDLE 信号または PARENT_NOTIFY 信号を送信すること（図 1 5 の⑦参照）が可能である。

【 0 0 2 6 】

しかし、a b 間のケーブル長は 100 m であるため、ケーブルによる信号遅延は約 $500 ns$ となってしまう。このため、最初にノード b から送信されたバス

リセット信号がノード a に到着するのは、約 500 ns 経過した後になり（図 15 の①参照）、さらに約 500 ns 経過してからノード a が送信したバスリセット信号がノード b に到着することになる（図 15 の③参照）。したがって、ノード b がバスリセット信号の送信を開始してからノード a のバスリセット信号が返ってくるまで、1 μ s 以上の時間が経過してしまう。実際はノード a において信号処理に時間を要するため、ノード b がバスリセット信号の送信を終了して R 1 の状態へ遷移しても、ノード a からのバスリセット信号を受信できないという現象も起こり得る。

【0027】

このような場合、ノード b は R 1 の状態において IDLE 信号をノード a から受信してしまうことになり、R 1 の状態からツリー識別フェーズへ誤って遷移してしまう。その後ノード a からのバスリセット信号を受信してしまい（図 15 の③参照）、再度バス初期化フェーズの R 0 の状態へ戻ってしまうが、今度は通常のバスリセットとなる。したがって、ノード間のケーブルが長い場合には、正常にショートバスリセットの動作ができないということになる。

【0028】

そこで、この発明では、ケーブルが長い場合であってもショートバスリセットを正常に動作させることが可能となる電子機器等を提供することを目的とする。

【0029】

【課題を解決するための手段】

この発明は、IEEE 1394 規格に準拠した物理層を構成するデジタルシリアルデータのインタフェース装置と、このインタフェース装置に対して上位に位置する処理手段とを備える電子機器であって、インタフェース装置は、全ての接続相手先にアービトレーション信号を送信する手段と、上記全ての接続相手先からのアービトレーション信号を受信する手段とを有し、バス初期化フェーズにおいて、リセットスタートの状態で所定時間の間上記全ての接続相手先にバスリセット信号を送信し、上記所定時間が経過しかつ上記全ての接続相手先からのバスリセット信号の受信を確認してからリセットウエイトの状態に遷移するものである。

【 0 0 3 0 】

また、この発明は、IEEE 1394 規格に準拠した物理層を構成するデジタルシリアルデータのインタフェース装置のバス初期化フェーズにおける処理方法において、リセットスタートの状態ですべての接続相手先にバスリセット信号を送信し、上記所定時間が経過しかつ上記すべての接続相手先からのバスリセット信号の受信を確認してからリセットウェイトの状態に移るものである。

【 0 0 3 1 】

この発明において、バス初期化フェーズでは、リセットスタートの状態（R1の状態）ですべての接続相手先にバスリセット信号を送信を行い、所定時間が経過しかつすべての接続相手先からのバスリセット信号の受信を確認してからリセットウェイトの状態（R1の状態）に移る。この場合、接続相手先との間のケーブルの長さによって、その接続相手先からのバスリセット信号を所定時間の間または所定時間経過後に受信する。すべての接続相手先から所定時間の間にバスリセット信号を受信した場合には、所定時間経過直後にリセットウェイトの状態に移る。

【 0 0 3 2 】

このようにすべての接続相手先からのバスリセット信号の受信を確認してからリセットウェイトの状態に移るものであり、従ってこのリセットウェイトの状態例えばケーブルの長い接続相手先よりIDLE信号を受信してツリー識別フェーズへ誤って移り、このツリー識別フェーズに移った後に当該接続相手先よりバスリセット信号を受信し、再度バス初期化フェーズのリセットスタートの状態（R0の状態）に戻ることがなくなる。これにより、接続相手先との間のケーブルが長い場合であってもショートバスリセットを正常に動作させることが可能となる。

【 0 0 3 3 】

【発明の実施の形態】

以下、図面を参照しながら、この発明の実施の形態を説明する。

図1は、IEEE 1394 規格を採用したネットワークの構成例を示している

。ワークステーション10、パーソナルコンピュータ11、ハードディスクドライブ12、CD-ROMドライブ13、カメラ14、プリンタ15およびスキャナ16はIEEE1394ノードであり、互いにIEEE1394バス20を使用して接続されている。IEEE1394規格における接続方式としては、ディジチェーンとノード分岐の2種類がある。ディジチェーン方式では、最大16ノード（1394ポートを持つ機器）を接続できる。図1に示すように、ノード分岐を併用することにより、規格最大の63ノードまで接続できる。

【0034】

また、IEEE1394規格では、ケーブルの抜き差しを機器が動作している状態、すなわち電源の入っている状態で行うことができ、ノードの追加または削除が行われた時点で、上述したようにバス初期化フェーズ、ツリー識別フェーズ、自己識別フェーズの順でトポロジーの再構成が行われる。ネットワークに接続されたノードのIDや配置は、インタフェース上で管理される。

【0035】

図2は、IEEE1394規格に準拠したインタフェースの構成要素とプロトコル・アーキテクチャを示している。ここで、インターフェースは、ハードウェアとファームウェアに分けることができる。

【0036】

ハードウェアは、フィジカル・レイヤ（物理層：PHY）およびリンク・レイヤ（リンク層）から構成される。フィジカル・レイヤでは、直接IEEE1394規格の信号をドライブする。リンク・レイヤはホスト・インターフェースとフィジカル・レイヤのインターフェースを備える。

【0037】

ファームウェアは、IEEE1394規格に準拠したインターフェースに対して実際のオペレーションを行う管理ドライバからなるトランザクション・レイヤと、SBM（Serial Bus Management）と呼ばれるIEEE1394規格に準拠したネットワーク管理用のドライバからなるマネージメント・レイヤとから構成される。

【0038】

さらに、アプリケーション・レイヤは、ユーザの使用しているソフトウェアとトランザクション・レイヤやマネージメント・レイヤをインターフェースする管理ソフトウェアからなる。

【0039】

IEEE 1394 規格では、ネットワーク内で行われる転送動作をサブアクションと呼び、次の2つのサブアクションが規定されている。すなわち、2つのサブアクションとして、「アシンクロナス(asynchronous)」と呼ばれる非同期転送モードが定義され、また、「アイソクロナス(isochronous)」と呼ばれる転送帯域を保証したリアルタイム転送モードが定義されている。また、さらに各サブアクションは、それぞれ次の3つのパートに分かれており、

「アービトレーション」

「パケット・トランスミッション」

「アクノリッジメント」

と呼ばれる転送状態をとる。なお、「アイソクロナス」モードには、「アクノリッジメント」は省略されている。

【0040】

アシンクロナス・サブアクションでは、非同期転送を行う。この転送モードにおける時間的な遷移状態を示す図3において、最初のサブアクション・ギャップは、バスのアイドル状態を示している。このサブアクション・ギャップの時間をモニタすることにより、直前の転送が終わり、新たな転送が可能か否か判断する。

【0041】

そして、一定時間以上のアイドル状態が続くと、転送を希望するノードはバスを使用できると判断して、バス獲得のためのアービトレーションを実行する。実際にバスの停止の判断は、図4(a)、(b)に示すように、ルートに位置するノードAが行う。このアービトレーションでバスの権利を得ると、次のデータの転送すなわちパケット・トランスミッションを実行する。データ転送後、受信したノードは、その転送されたデータに対して、その受信結果に応じたack(受信確認用返送コード)の返送により、応答するアクノリッジメントを実行する。

このアクノリッジメントの実行により、送信ノードおよび受信ノードともに、転送が正常に行われたことを、上記 a c k の内容によって確認することができる。

その後、再びサブアクション・ギャップ、すなわちバスのアイドル状態に戻り、上記転送動作が繰り返される。

【0042】

また、アイソクロナス・サブアクションでは、基本的には非同期転送と同様な構造の転送を行うのであるが、図5に示すように、アシンクロナス・サブアクションでの非同期転送よりも優先的に実行される。このアイソクロナス・サブアクションにおけるアイソクロナス転送は、約8kHz毎にルートノードから発行されるサイクルスタートパケットに続いて行われ、アシンクロナス・サブアクションでの非同期転送よりも優先して実行される。これにより、転送帯域を保証した転送モードとなる。これにより、リアルタイム・データの転送を実現する。

【0043】

同時に、複数ノードでリアルタイム・データのアイソクロナス転送を行う場合には、その転送データには内容（発信ノード）を区別するためのチャンネルIDを設定して、必要なリアルタイム・データだけを受け取るようにする。

【0044】

IEEE1394規格のアドレス空間は、図6に示すような構成となっている。これは、64ビット固定アドレッシングのISO/IEC13213規格にて定義されているCSRアーキテクチャ（以下、「CSRアーキテクチャ」という）に従っている。図示のように、各アドレスの上位16ビットはノードIDを表し、ノードにアドレス空間を提供する。ノードIDは、上位10ビットでバスIDを指定し、下位6ビットでフィジカルID（狭義のノードID）を指定する。バスIDもフィジカルIDも全ビットが1となる値を特別な目的で使用するので、このアドレッシング方法は1023個のバスと各々63個の個別アドレス指定可能なノードを提供している。

【0045】

図7は、上述したIEEE1394規格におけるフィジカルレイヤ（物理層）を構成するデジタルシリアルデータのインタフェース装置を示している。この

インタフェース装置は、物理層論理ブロック (PHY LOGIC) 1 0 1、セクタブロック (RXCLOCK/DATA SELECTOR) 1 0 2、変換処理ブロック (4B/5B CONVERTER & ARB-SIGNAL CONVERTER) 1 0 3、スクランブルブロック (SCRAMBLER) 1 0 4 A, 1 0 4 B、デスクランブルブロック (DESCRAMBLER) 1 0 5 A, 1 0 5 B、送信ブロック (P/S) 1 0 6 A, 1 0 6 B、受信ブロック (RX-PLL & S/P) 1 0 7 A, 1 0 7 B、ポート論理ブロック (PORT LOGIC) 1 0 8、アナログ・ドライバ／レシーバ (ANALOG DRIVER/RECEIVER) 1 0 9 およびクロック発生ブロック (PLL) 1 1 0 を備えている。

【 0 0 4 6 】

物理層論理ブロック 1 0 1 は、I E E E 1 3 9 4 ハイ・パフォーマンス・シリアル・バス規格 (I E E E 1 3 9 4 規格) におけるリンクレイヤとの I / O 制御およびアービトレーション制御を行うもので、I E E E 1 3 9 4 規格に準拠したリンクレイヤコントローラ 1 0 0 に接続されていると共に、セクタブロック 1 0 2、変換処理ブロック 1 0 3 およびポート論理ブロック 1 0 8 に接続されている。

【 0 0 4 7 】

ここで、この物理層論理ブロック 1 0 1 におけるリンクレイヤとの I / O は I E E E 1 3 9 4 規格と同等であり、リンクレイヤとフィジカルレイヤとの通信は、データ信号 DATA と制御信号 CTRL によって行われ、これに加えてリンクレイヤからフィジカルレイヤへの送信要求としてリンク要求信号 LREQ が物理層論理ブロック 1 0 1 に入力される。

【 0 0 4 8 】

この物理層論理ブロック 1 0 1 は、アービトレーションコントローラを内蔵しており、アービトレーションコントローラによりアービトレーションプロセスとバスとの送受信を制御する。パケットの送信要求があると適切なギャップ時間後にアービトレーションを開始する。なお、上記ギャップ時間はアービトレーションの種類によって異なる。また、この物理層論理ブロック 1 0 1 は、リンクレイヤからのパケットデータ DATA をセクタブロック 1 0 2 に送り、リンクレイヤからのアービトレーション要求を変換処理ブロック 1 0 3 およびポート論理ブ

ロック108に送る。

【0049】

セクタブロック102は、変換処理ブロック103を介して受信するデータDATA1、DATA2およびその受信クロックRXCLK1、RXCLK2、ポート論理ブロック108を介して受信するデータDATA3およびその受信クロックRXCLK3の1組を選択するもので、物理層論理ブロック101、変換処理ブロック103、受信ブロック107A、107Bおよびポート論理ブロック108に接続されている。

【0050】

このセクタブロック102は、データの送信の場合、物理層論理ブロック101から送られてきたパケットデータDATAを変換処理ブロック103およびポート論理ブロック108に送る。これにより、全ての送信ポートに対して送信データが送られる。また、データの受信の場合、変換処理ブロック103またはポート論理ブロック108を介して受信されるパケットデータDATA1、DATA2、DATA3およびその受信クロックRXCLK1、RXCLK2、RXCLK3の1組を選択し、選択した例えばパケットデータDATA1とその受信クロックRXCLK1を物理層論理ブロック101に送る。

【0051】

そして、セクタブロック102により選択されたパケットデータ例えば変換処理ブロック103で受信されたパケットデータDATA1は、その受信クロックRXCLK1により物理層論理ブロック101内のFIFOメモリに書き込まれる。このFIFOメモリに書き込まれたパケットデータは、クロック発生ブロック110により与えられるシステムクロックLCLKにより読み出される。

【0052】

変換処理ブロック103は、データの4ビット／5ビット変換処理手段として機能すると共に、4ビット／5ビット変換処理においてデータに割り当てられた5ビットシンボル以外の5ビットシンボルをアービトレーション信号に割り当てるアービトレーション信号変換処理手段として機能するものであって、アービトレーション時には、物理層論理ブロック101から送られてくるアービトレーシ

オン信号ARB. SIGNAL 1, ARB. SIGNAL 2を、表6に示すように割り当てられた5ビットシンボルに変換して、各スクランブルブロック104A, 104Bに送る。同時に、各デスクランブルブロック105A, 105Bから送られてきた5ビットのアービトレーション信号を4ビット信号に変換して物理層論理ブロック101に送る。

【0053】

すなわち、送信時には、表6に示すようにアービトレーション信号を5ビットシンボルに割り当てて送信する。また、受信時には、表7に示すように、受信シンボルと送信シンボルを合わせてアービトレーション状態へ割り当てる。

【0054】

【表6】

送信アービトレーション信号	送信シンボル
IDLE	11111
TX_REQUEST TX_GRANT	00100
TX_PARENT_NOTIFY	00101
TX_DATA_PREFIX	11000_10001
TX_CHILD_NOTIFY TX_IDENT_DONE	00111
TX_DATA_END	01101
BUS_RESET	00000_11111

【0055】

【表 7】

受信シンボル	送信シンボル	受信7-ビットレシジョン状態
11111	11111	IDLE
00100	11111	RX_SELF_IDGRANT RX_REQUEST
00101	11111	RX_PARENT_NOTIFY
11111	00100	RX_REQUEST_CANCEL
11000_10001		RX_DATA_PREFIX
00111	11111	RX_IDENT_DONE
01101	11111	RX_DATA_END
00111	00101	RX_PARENT_HANDSHAKE
00101	00101	RX_ROOT_CONTENTION
00100	00100	RX_GRANT
11111	00111	RX_CHILD_HANDSHAKE
00000_11111		BUS_RESET

【0056】

また、パケットデータの送信時には、変換処理ブロック103は、セレクトブロック102を介して送られてくるパケットデータDATA1，DATA2をそれぞれ4ビット信号から表8に示すように割り当てた5ビット信号に変換して各スクランブルブロック104A，104Bに送る。同時に、各デスクランブルブロック5A，5Bから送られてきた受信パケットデータを5ビット信号から4ビット信号に変換してセレクトブロック102に送る。

【0057】

【表 8】

4 ビット信号	5 ビット信号
0000	11110
0001	01001
0010	10100
0011	10101
0100	01010
0101	01011
0110	01110
0111	01111
1000	10010
1001	10011
1010	10110
1011	10111
1100	11010
1101	11011
1110	11100
1111	11101

【0 0 5 8】

ここで、上記変換処理ブロック 1 0 3 における 4 ビット／5 ビット変換処理では、表 8 に示すように、クロック情報を多く含む 5 ビットシンボルがパケットデ

ータDATA1, DATA2に割り当てられている。これにより、パケットデータDATA1, DATA2の受信側では、その受信クロックRXCLK1, RXCLK2を受信信号からPLLにより確実に生成することができる。

【0059】

また、IEEE1394規格のアービトレーションにおけるアイドル状態にクロック情報を最も多く含む「11111」なる5ビットシンボルを割り当てておくことにより、アービトレーションにおけるアイドル状態でも受信側のPLLのロック状態を維持させておき、アービトレーションを確実に実行することができる。

【0060】

各スクランブルブロック104A, 104Bは、パケットデータの送信時に変換処理ブロック103から送られてくる5ビット送信信号にシフトレジスタを用いたスクランブル処理を施すことにより、周波数のピークが発生することを防止でき、5ビット送信信号による不要輻射を低減できる。送信ブロック106A, 106Bには、スクランブルブロック104A, 104Bによりスクランブル処理の施された5ビット送信信号が送られる。

【0061】

また、各デスクランブルブロック105A, 105Bは、スクランブルブロック104A, 104Bによるスクランブル処理に対応するデスクランブル処理を受信ブロック107A, 107Bから送られてくる5ビット受信信号に施すことにより、5ビット受信信号のスクランブルを解く。変換処理ブロック103には、各デスクランブルブロック105A, 105Bによりスクランブルの解かれた5ビット受信信号が送られる。

【0062】

ここで、スクランブルブロック104A, 104Bおよびデスクランブルブロック105A, 105Bは、各動作のオンオフが切り替え設定できるようになっている。

【0063】

各送信ブロック106A, 106Bは、各スクランブルブロック104A, 1

04Bによりスクランブル処理の施された5ビット送信信号をパラレルデータからシリアルデータに変換し、さらにNRZデータからNRZIデータに変換して送信する。

【0064】

また、各受信ブロック107A, 107Bは、受信信号をNRZIデータからNRZデータに変換し、さらに、シリアルデータからパラレルデータに変換して5ビット受信信号を各デスクランブルブロック105A, 105Bに送る。また、各受信ブロック107A, 107Bは、受信したデータからPLLにより受信クロックRXCLK1, RXCLK2を生成してセクタブロック102に送る。

【0065】

ポート論理ブロック108は、IEEE1394規格のフィジカルレイヤに準拠したアービトレーション信号ARB, SIGNAL3とデータDATA3の送受信を行うものであって、アナログドライバ/レシーバ109を介して送られてくるデータとそのストローブ信号から受信クロックRXCLK3を生成する。また、このポート論理ブロック108は、アービトレーション時に、アービトレーション信号ARB, SIGNAL3が物理層論理ブロック101から送られてくる。

【0066】

データの送信時には、このポート論理ブロック108は、物理層論理ブロック101からセクタブロック102を介して送られてくるパケットデータDATA3をクロック発生ブロック110より与えられる送信クロックTXCLKでシリアルデータに変換してアナログドライバ/レシーバ109を介して送信する。

【0067】

また、データの受信時には、このポート論理ブロック108は、アナログドライバ/レシーバ109を介して受信したパケットデータDATA3をその受信クロックRXCLK3と共にセクタブロック102を介して物理層論理ブロック101に送る。そして、このポート論理ブロック108がセクタブロック102により選択されている場合に、パケットデータDATA3は、その受信クロック

ク R X C L K 3 により物理層論理ブロック 1 0 1 内の F I F O メモリに書き込まれる。

【 0 0 6 8 】

クロック発生ブロック 1 1 0 は、水晶発振器 1 1 1 により与えられる 2 4 . 5 7 6 M H z のクロックから 4 9 . 1 5 2 M H z のシステムクロックと 9 8 . 3 0 4 M H z および 1 2 2 . 8 8 M H z の送信クロックを生成するようになっている。

【 0 0 6 9 】

このような構成のデジタルシリアルデータのインターフェース装置では、アービトレーション信号 A R B . S I G N A L 1 , A R B . S I G N A L 2 およびパケットデータ D A T A 1 , D A T A 2 に対して 4 ビット / 5 ビット変換処理を行う変換処理ブロック 1 0 3 を備えることにより、5 ビットのコードデータとしてアービトレーション信号 A R B . S I G N A L 1 , A R B . S I G N A L 2 およびパケットデータ D A T A 1 , D A T A 2 を各送信ブロック 1 0 6 A , 1 0 6 B および各受信ブロック 1 0 7 A , 1 0 8 7 B を介して送受信することができ、光ファイバーや U T P (Unshielded Twist Pair) を伝送ケーブルに用いて長距離伝送を行うことができる。

【 0 0 7 0 】

以上のようなインターフェース装置の変換処理ブロック 1 0 3 において、5 ビットの受信シンボルと送信シンボルを合わせてアービトレーション信号へ変換する際、自ノードから送信するバスリセット信号については、変換処理ブロック 1 0 3 から物理層論理ブロック 1 0 1 へ送る信号 A R B . S I G N A L 1 および A R B . S I G N A L 2 へ反映させないようにする (表 7 の B U S _ R E S E T の項参照) 。

【 0 0 7 1 】

光ファイバーや U T P を用いる場合には、全二重通信が可能であるため、バスリセット以外のアービトレーション信号は送信と受信を合わせて変換し、バスリセットは受信信号のみから変換を行うことは可能である。これによって、物理層論理ブロック 1 0 1 では、接続相手先から送られてくるバスリセット信号のみを

認識できることになる。

【 0 0 7 2 】

また、バス初期化フェーズの動作は、物理層論理ブロック 1 0 1 に含まれる。本実施の形態において、バス初期化フェーズの動作は、図 8 に示す遷移図に従って行われる。この遷移図においては、リセットウエイトの状態ではケーブルの長い接続相手先より IDLE 信号を受信してツリー識別フェーズへ誤って遷移し、このツリー識別フェーズでその接続相手先よりバスリセット信号を受信して再度バス初期化フェーズのリセットスタートの状態（R 0 の状態）に戻ってしまうことを防止するため、R 0 : R 1 の遷移条件に、全てのアクティブな全二重通信可能（長距離化対応）のポートにおいて、バスリセット信号を受信したという条件が追加されている。

条件を追加した後の R 0 : R 1 の遷移条件は、以下のようになる。

```
(arb_timer>=reset_time) && reset_received_OK()
```

【 0 0 7 3 】

このような遷移条件とすることで、R 0 の状態でバスリセット信号を接続相手先に対して決められた所定時間（ショートバスリセットでは $1.26 \mu s \sim 1.40 \mu s$ ）だけ送信し、所定時間が経過しかつ全ての接続相手先からのバスリセット信号を受信したことを確認してから、R 1 の状態（リセットウエイトの状態）へ遷移するようになる。

【 0 0 7 4 】

したがって、このリセットウエイトの状態では例えばケーブルの長い接続相手先より IDLE 信号を受信してツリー識別フェーズへ誤って遷移し、このツリー識別フェーズに遷移した後に当該接続相手先よりバスリセット信号を受信し、再度バス初期化フェーズのリセットスタートの状態（R 0 の状態）に戻るということがなくなる。これにより、接続相手先との間のケーブルが長い場合であってもショートバスリセットを正常に動作させることができる。

【 0 0 7 5 】

図 9 を参照して、図 1 4 のように a、b、c のノードからなるネットワークにおけるショートバスリセットの動作を説明する。なお、図 9 は、ノード a、b、

cの動作を時間経過に従って簡略化して図示している。

【 0 0 7 6 】

ノードbにおいてショートバスリセットを生じるような事象が発生するとノードbは、図8に示す遷移図に従ってR0の状態へ遷移し、バスリセット信号をノードaおよびノードcに対して決められた時間（最小1.26 μ s、最大1.40 μ s）だけ送信する（図9の①および②参照）。ノードaおよびノードcは、ノードbからのバスリセット信号を受信すると自らもバスリセット信号を送信するようになる（図9の③および④参照）。

【 0 0 7 7 】

その後、ノードbは、ノードaおよびノードcにIDLE信号を送信しながら（図9の⑤および⑥参照）、ノードaからのバスリセット信号を受信するまで待つ。このとき、ノードcから送信されたPARENT_NOTIFY信号（図9の⑦参照）がノードbで受信されることになる。続いてノードbは、ノードaからのバスリセット信号を受信するとR1の状態へ遷移し、ノードaからのIDLE信号またはPARENT_NOTIFY信号を待つ。ノードaは、ノードbからのIDLE信号を受信するとツリー識別フェーズへ遷移し、ノードbに対してPARENT_NOTIFY信号を送信する（図9の⑧参照）。さらにノードbは、ノードaからのPARENT_NOTIFY信号を受信してツリー識別フェーズへ遷移する。

【 0 0 7 8 】

このように、図8に示す遷移図に従ってバス初期化フェーズの動作を行うことで、図14に示すネットワークにおいてショートバスリセットを正常に動作させることができる。

【 0 0 7 9 】

以上説明したように、本実施の形態において、全ての接続相手先からのバスリセット信号の受信を確認してからR1の状態に遷移するものであり、R1の状態へ遷移した後に接続相手先からのバスリセット信号を受信する前にIDLE信号を受信するという状態がなくなり、誤ってツリー識別フェーズへ遷移して再度R0の状態に戻って通常のバスリセットの動作を行うということがなくなる。すなわち、光ファイバーやUTPを用いて長距離伝送を行う際にもショートバスリセット

を正常に動作させることができる。

【 0 0 8 0 】

なお、上述実施の形態においては、5ビット符号化による送受信のシステムを挙げたが、全2重通信が可能なシステムであれば、符号化方法やケーブルの種類によって本発明の適用が限定されることはない。

【 0 0 8 1 】

【発明の効果】

この発明によれば、バス初期化フェーズにおいて、リセットスタートの状態です所定時間の間全ての接続相手先にバスリセット信号を送信し、所定時間が経過しかつ全ての接続相手先からのバスリセット信号の受信を確認してからリセットウェイトの状態に移る構成とするものであり、接続相手先との間のケーブルが長い場合であってもショートバスリセットを正常に動作させることができる。

【図面の簡単な説明】

【図 1】

IEEE 1394 規格を採用したネットワークの構成例を示すブロック図である。

【図 2】

IEEE 1394 規格に準拠したインタフェースの構成要素とプロトコル・アーキテクチャを示す図である。

【図 3】

アシンクロナスパケットを示す図である。

【図 4】

アービトレーションの説明のための図である。

【図 5】

アイソクロナス転送のパケットを示す図である。

【図 6】

CSR アーキテクチャにおけるアドレス指定を示す図である。

【図 7】

フィジカルレイヤの構成例を示すブロック図である。

【図 8】

バス初期化フェーズの遷移図である。

【図 9】

ショートバスリセットの動作例を説明するための図である。

【図 10】

IEEE 1394 規格における転送データの構成を示す図である。

【図 11】

IEEE 1394 規格で規定されたケーブルの断面図である。

【図 12】

バス初期化、ツリー識別、自己識別の完了後のネットワークを示す図である。

【図 13】

バス初期化フェーズの遷移図である。

【図 14】

ネットワークの構成例を示すブロック図である。

【図 15】

ショートバスリセットの動作例を説明するための図である。

【符号の説明】

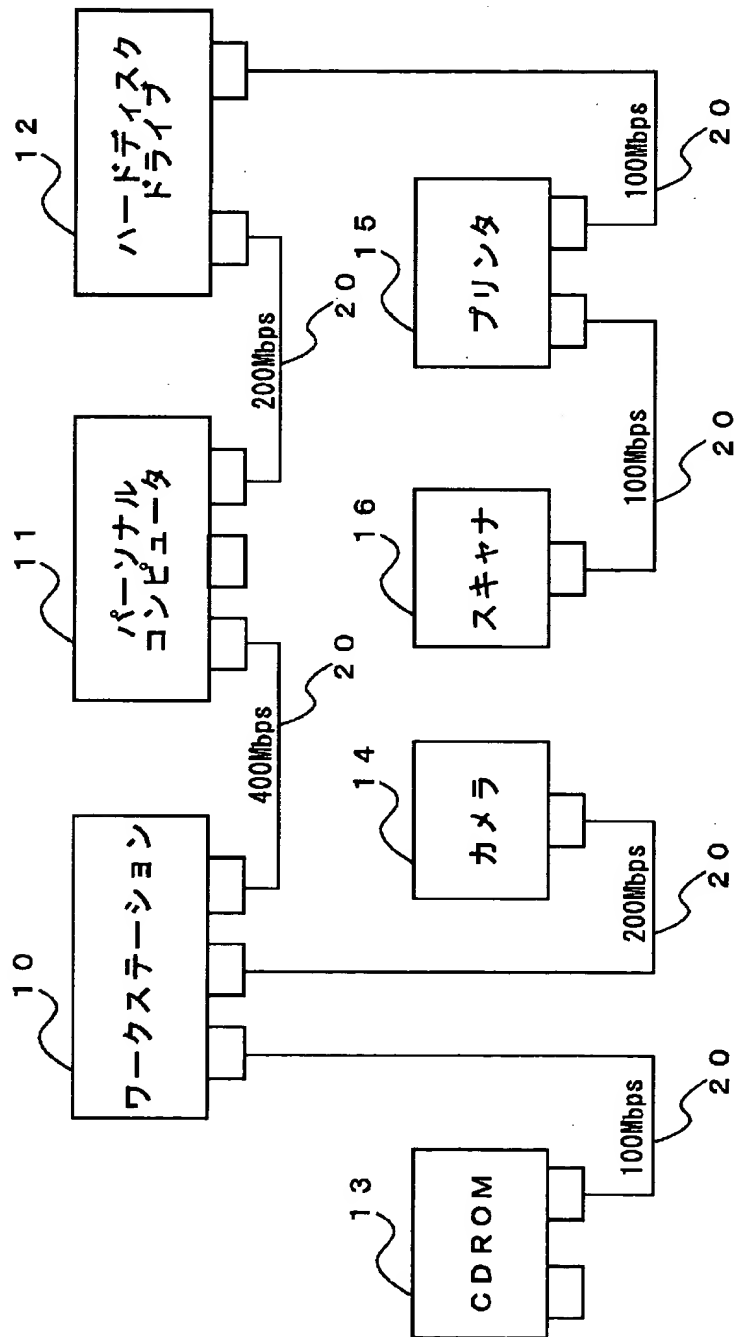
10・・・ワークステーション、11・・・パーソナルコンピュータ、12・・・ハードディスクドライブ、13・・・CD-ROMドライブ、14・・・カメラ、15・・・プリンタ、16・・・スキャナ、20・・・IEEE 1394バス、100・・・リンクレイヤコントローラ、101・・・物理層論理ブロック、102・・・セレクトアブロック、103・・・変換処理ブロック、104A、104B・・・スクランブルブロック、105A、105B・・・デスクランブルブロック、106A、106B・・・送信ブロック、107A、107B・・・受信ブロック、108・・・ポート論理ブロック、109・・・アナログドライバ／レシーバ、110・・・クロック発生ブロック、200・・・ケーブル、201・・・第1のシールド層、202・・・ツイストペア線、203・・・電源線、204・・・第2のシールド層

【書類名】

図面

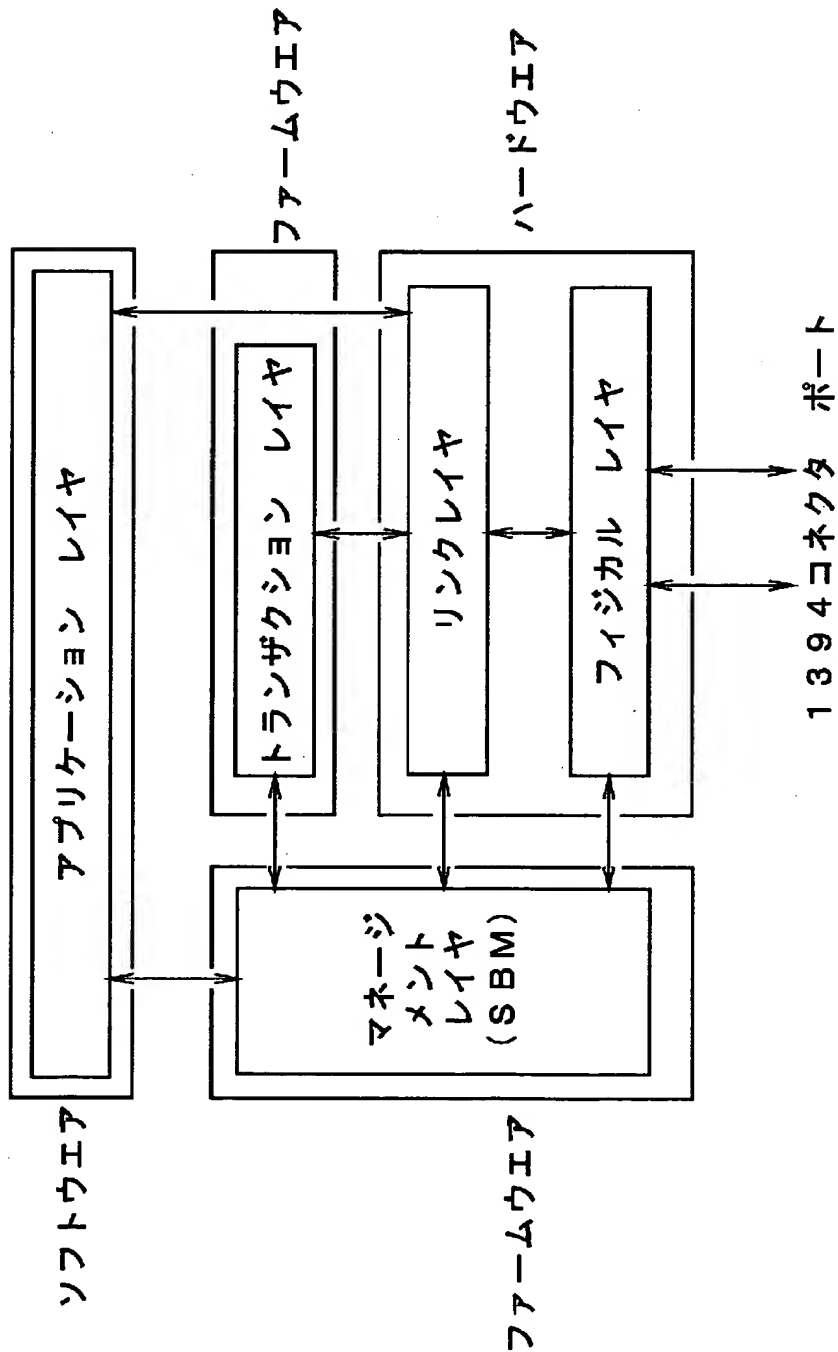
【図1】

IEEE 1394 規格を採用した ネットワークの構成例



【図 2】

IEEE 1394 規格に準拠した インターフェースの構成要素と プロトコル・アーキテクチャ



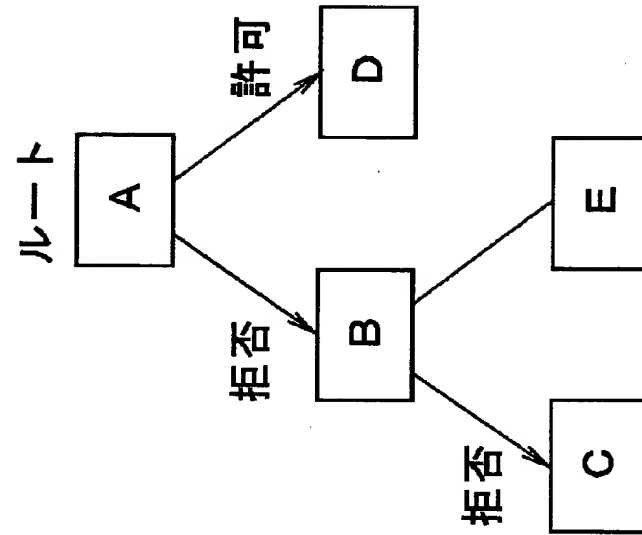
【図 3】

アシンクロナス転送のパケット

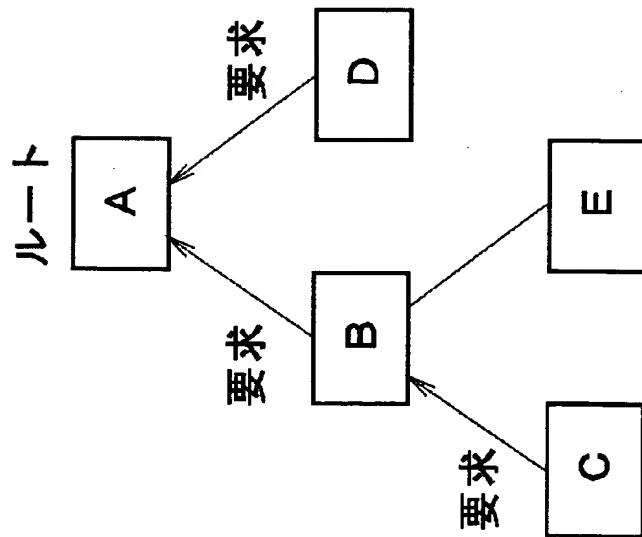


【図4】

アービトレーションの説明



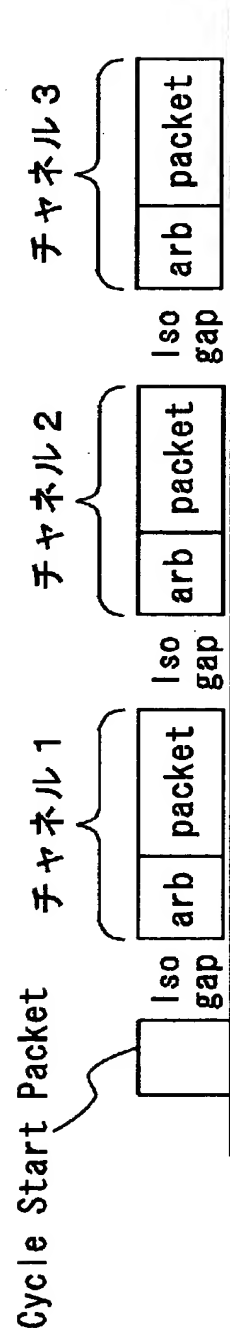
(b) バス使用権の許可



(a) バス使用権の要求

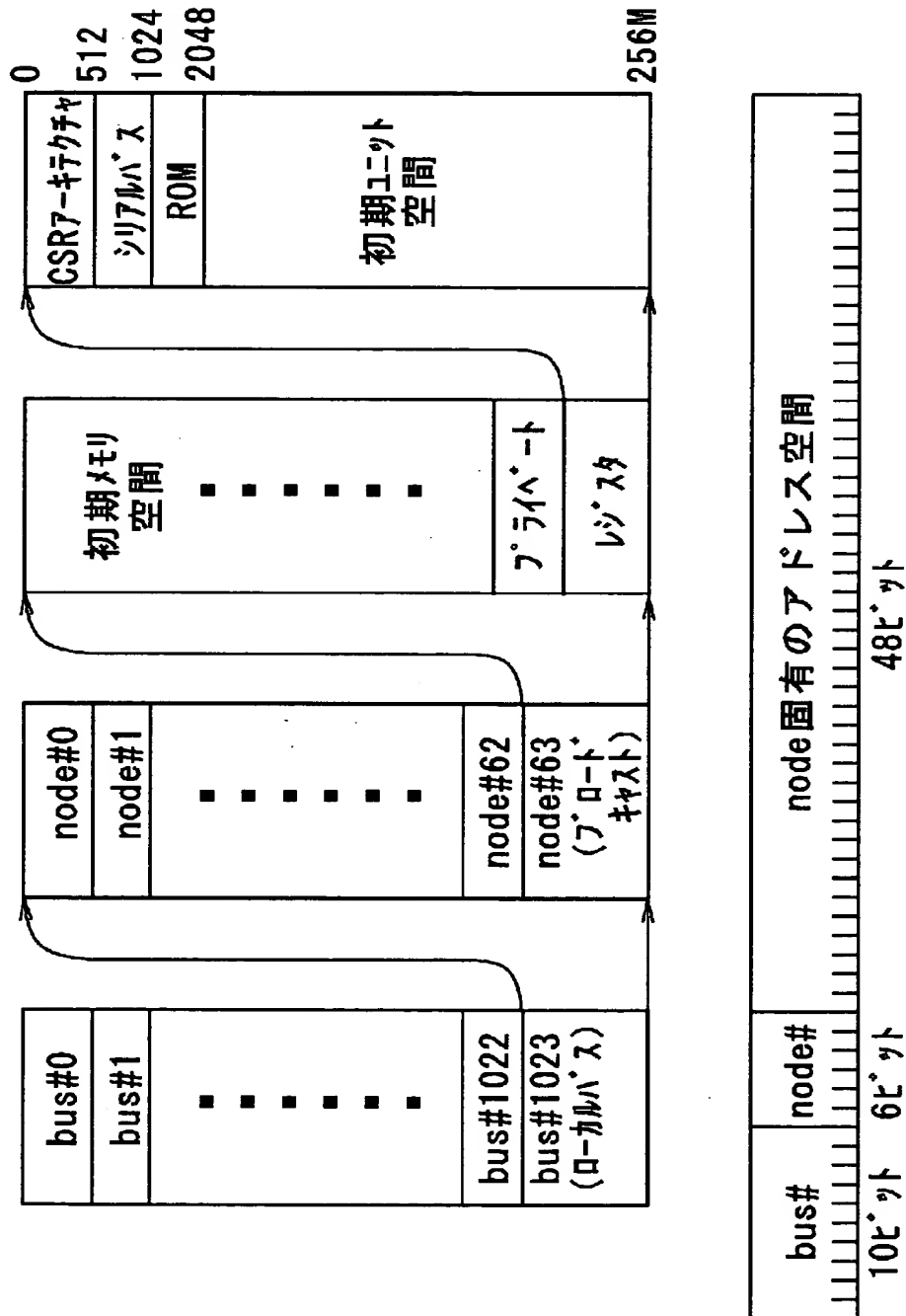
【図5】

アイソクロナス転送のパケット



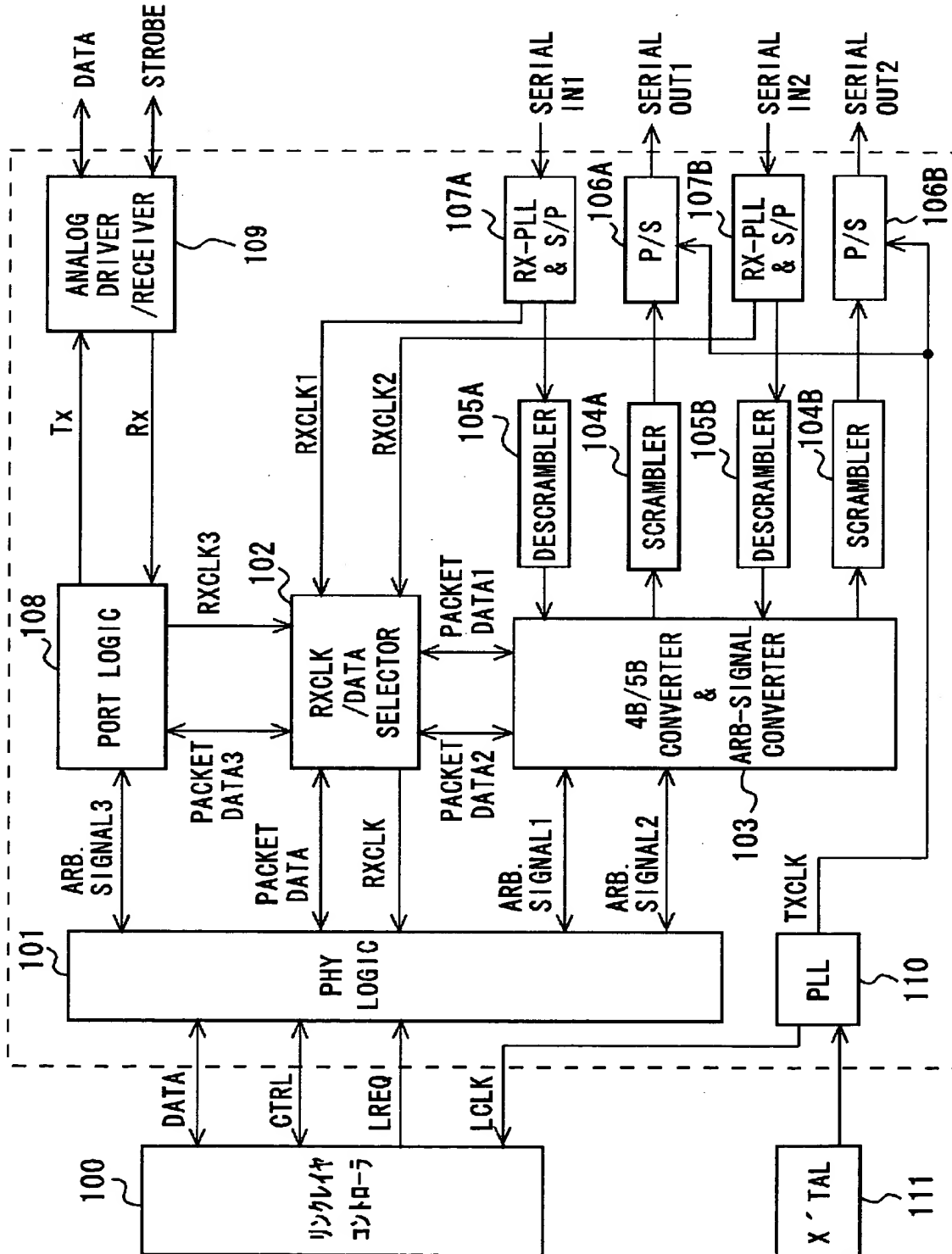
【図6】

CSRアーキテクチャにおける アドレス指定



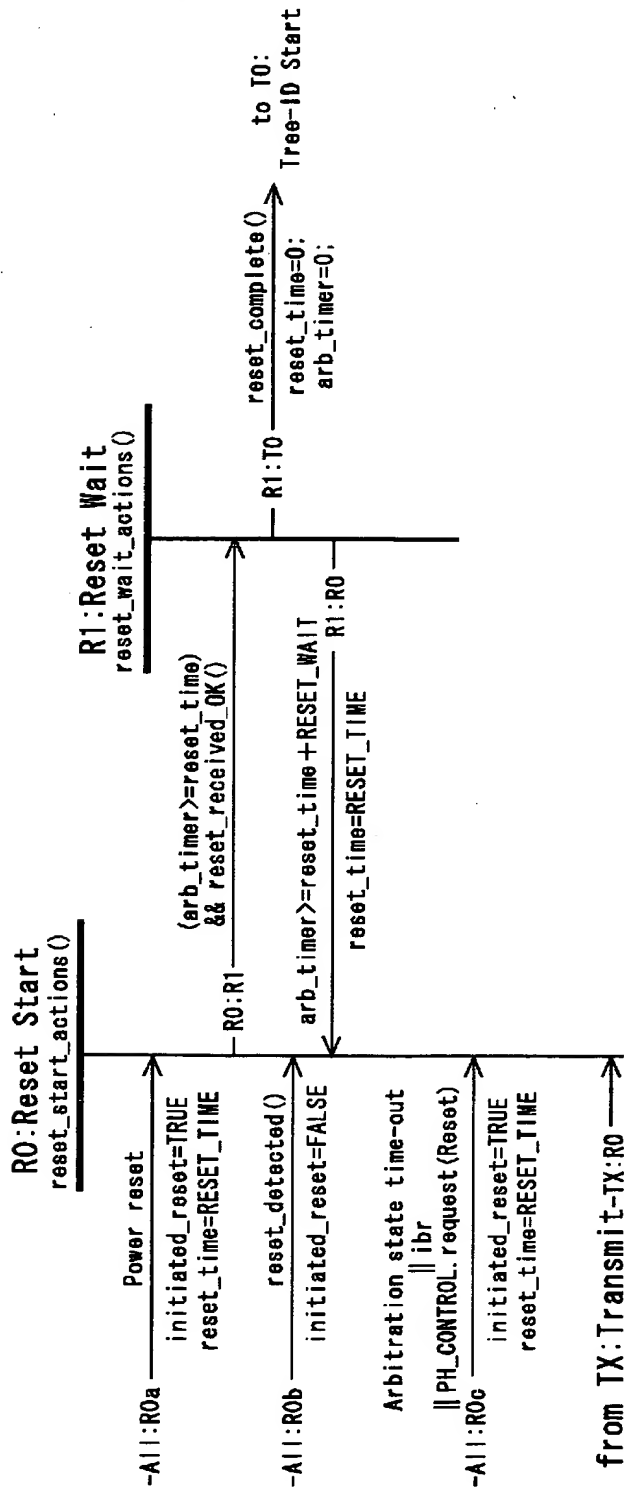
【図7】

フィジカルレイヤの構成例



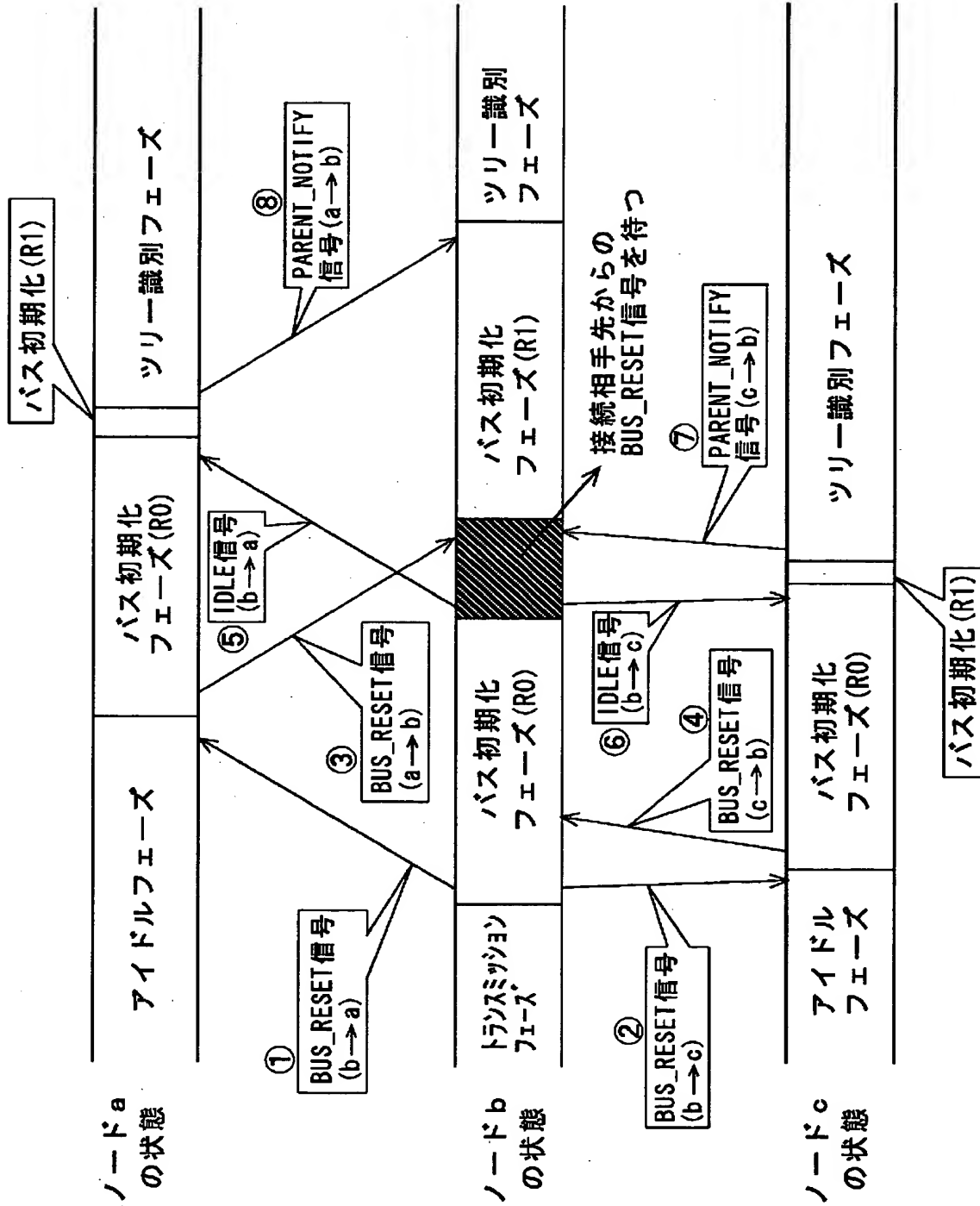
【図8】

バス初期化フェーズの遷移図



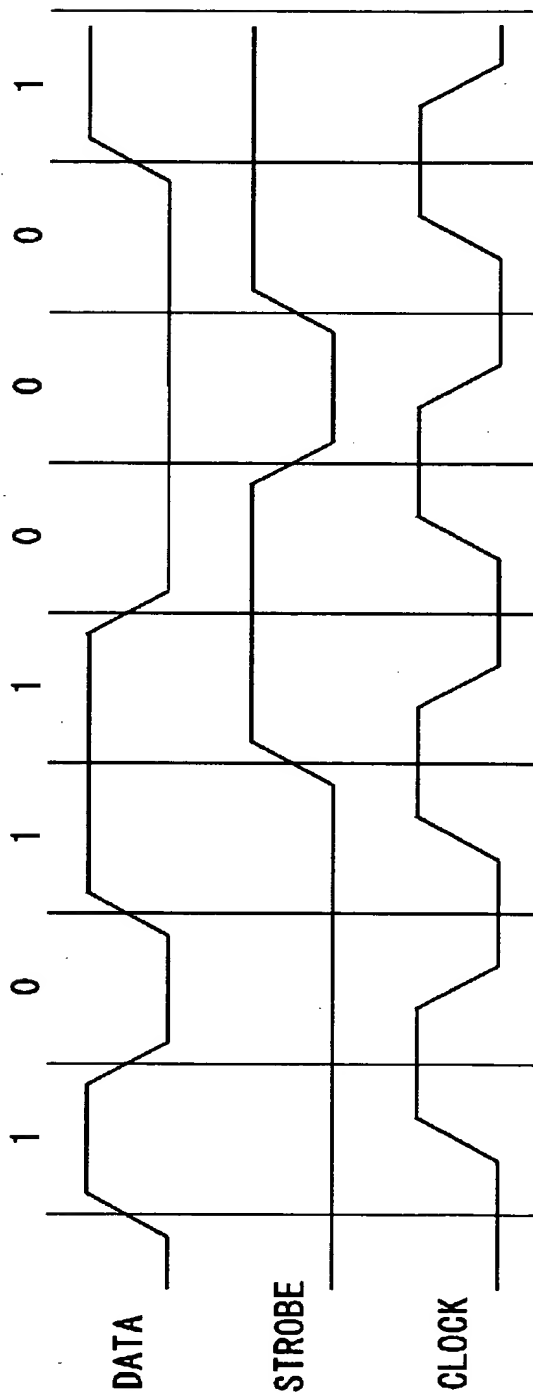
【図9】

ショートバスリセットの動作



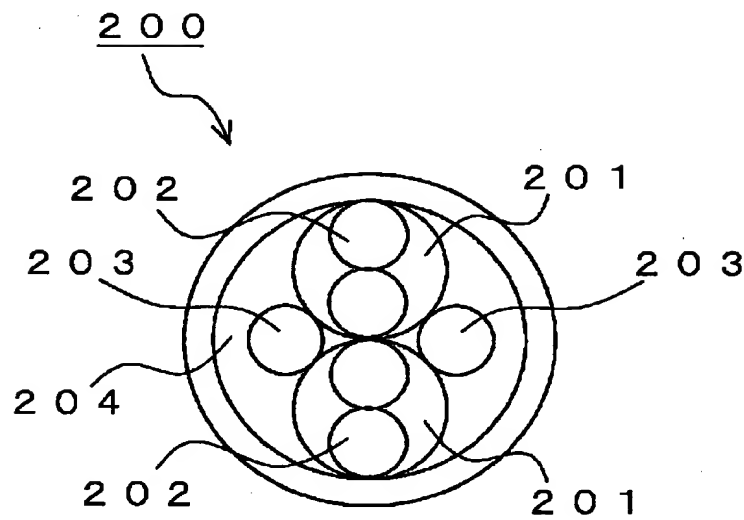
【図 10】

I E E E 1 3 9 4 規格における 転送データの構成



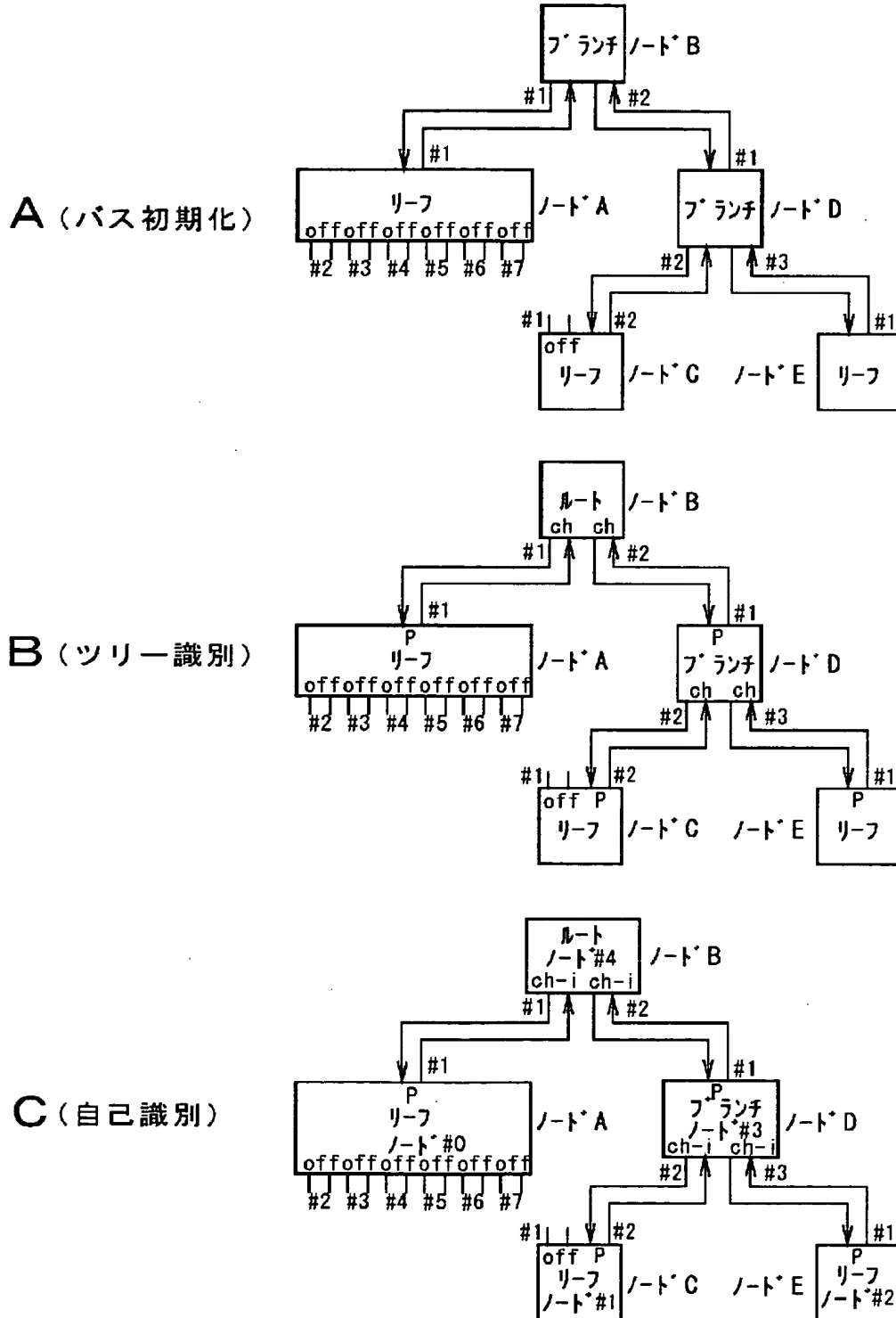
【図11】

I E E E 1 3 9 4 規格で規定された
ケーブルの断面図



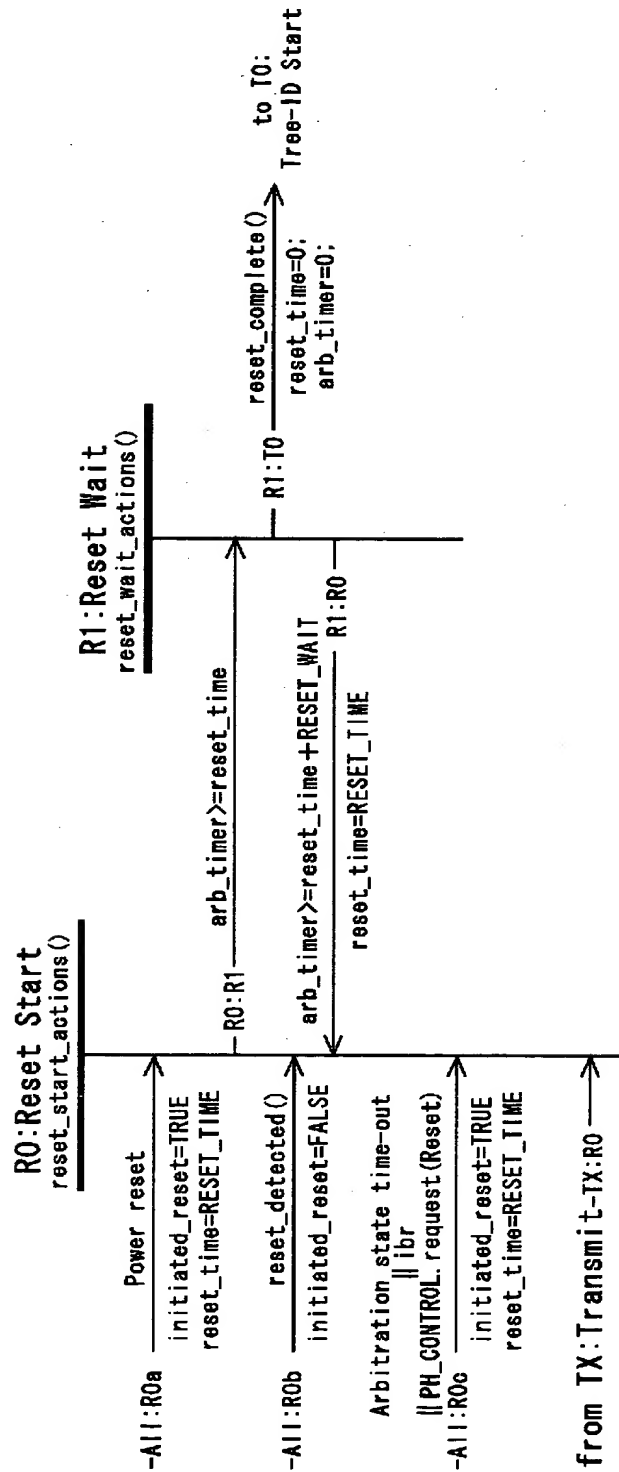
【図 12】

バス初期化、ツリー識別、自己識別の 完了後のネットワーク



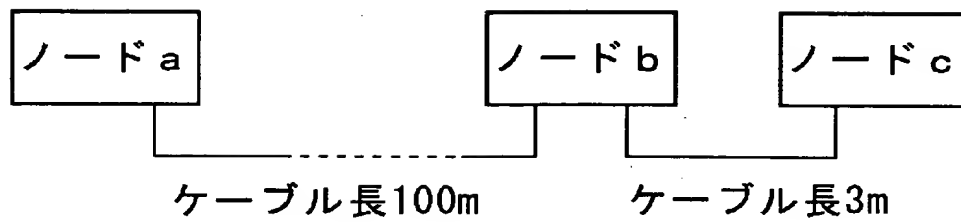
【図 13】

バス初期化フェーズの遷移図



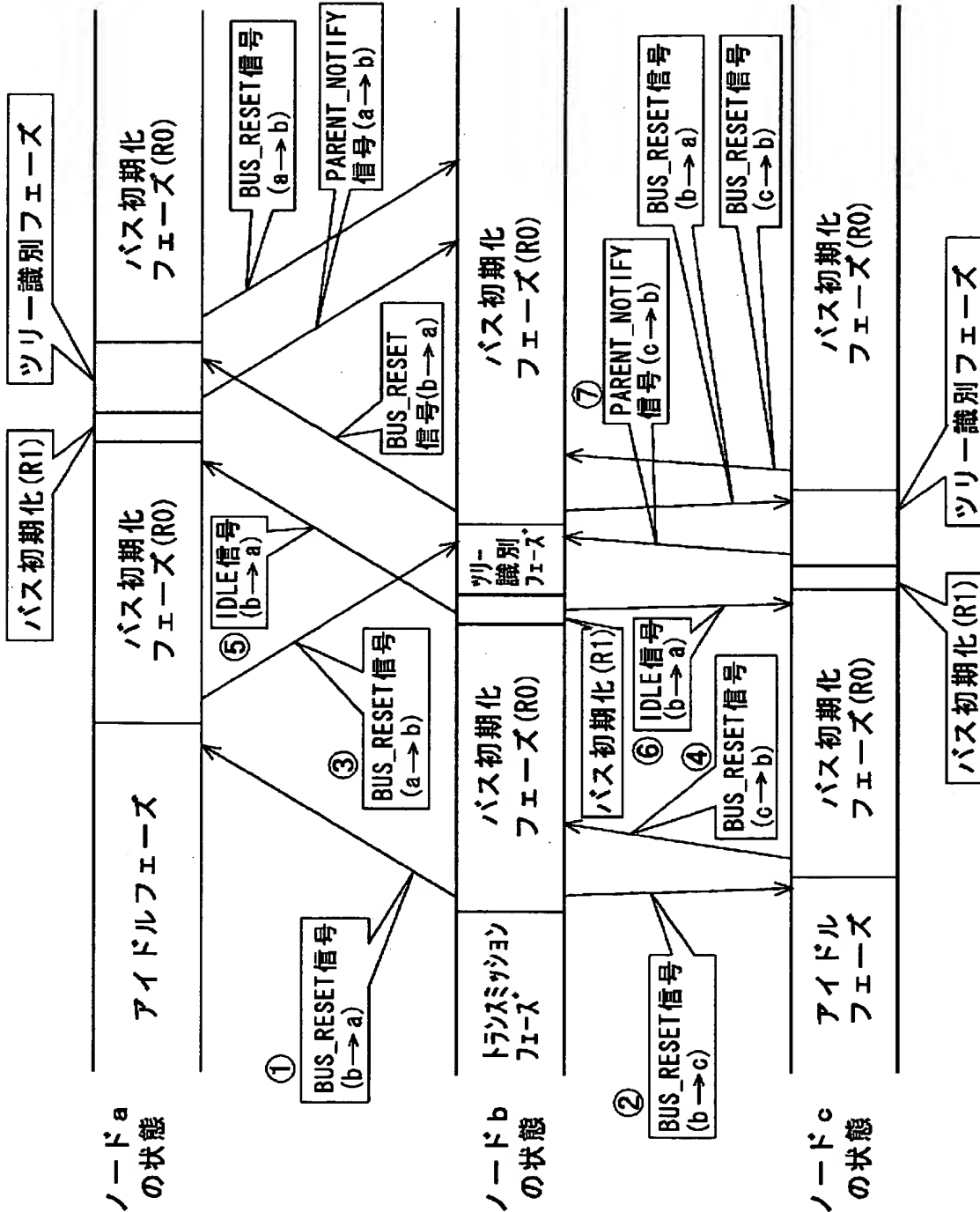
【図 14】

ネットワークの構例



【図15】

ショートバスリセットの動作



【書類名】 要約書

【要約】

【課題】 接続相手先との間のケーブルが長い場合であってもショートバスリセットを正常に動作させる。

【解決手段】 バス初期化フェーズでは、最初リセットスタートの状態（R 1 の状態）に遷移し、reset_timeで規定される所定時間（ショートバスリセットでは最小1.26 μ s、最大1.40 μ s）の間、全ての接続相手先にバスリセット信号を送信する。そして、所定時間が経過し、かつ全ての接続相手先からのバスリセット信号の受信を確認した後に、リセットウエイトの状態（R 1 の状態）に遷移する。これにより、R 1 の状態で例えばケーブルの長い接続相手先よりIDLE信号を受信してツリー識別フェーズへ誤って遷移し、このツリー識別フェーズに遷移した後に当該接続相手先よりバスリセット信号を受信して、再度バス初期化フェーズのR 0 の状態に戻るといったことがない。

【選択図】 図 8

出 願 人 履 歴 情 報

識別番号 [000002185]

1. 変更年月日	1990年 8月30日
[変更理由]	新規登録
住 所	東京都品川区北品川6丁目7番35号
氏 名	ソニー株式会社